



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020030049450

(43) Publication Date. 20030625

(21) Application No.1020010079656

(22) Application Date. 20011215

(51) IPC Code:

H01L 27/115

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

CHOI, CHEOL CHAN

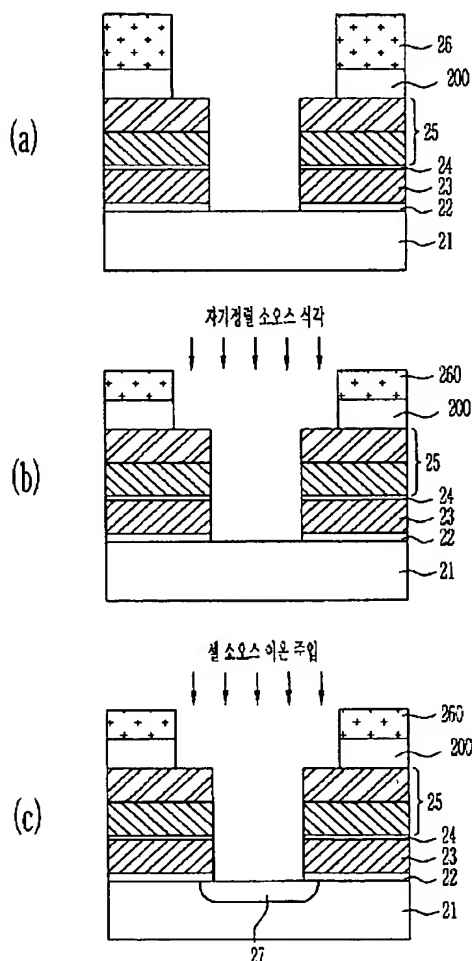
SIM, GWI HWANG

(30) Priority:

(54) Title of Invention

METHOD FOR FORMING SOURCE LINE IN FLASH DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for forming a source line in a flash device is provided to be capable of easily performing cell source ion-implantation processing by forming a passivation layer before coating a photoresist layer.

CONSTITUTION: A tunnel oxide layer(22), a floating gate(23), a dielectric film(24) and a control gate(25) are sequentially stacked on a semiconductor substrate(21) having an isolation layer. A passivation layer(200) is formed on the entire surface of the resultant structure. A photoresist pattern(26) for defining a source line region is formed on the passivation layer. After patterning the passivation layer(26), the substrate of the source line region is exposed by selectively etching the isolation layer using the photoresist pattern and the passivation pattern. After hardening the photoresist pattern, a source line(27) is then formed by performing cell source ion-implantation using the hardened photoresist pattern(260) and the passivation pattern as a mask.

© KIPO 2003

if display of image is failed, press (F5)

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 27/115	(11) 공개번호 (43) 공개일자	특2003-0049450 2003년 06월 25일
---	------------------------	--------------------------------

(21) 출원번호	10-2001-0079656
(22) 출원일자	2001년 12월 15일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 심귀환 서울특별시광진구중곡4동101-28 최철찬 경기도안양시동안구평촌동은하수한양아파트505-311 신영무
(74) 대리인	

심사청구 : 없음

(54) 플래쉬 소자의 소오스 라인 형성 방법

요약

본 발명은 플래쉬 소자의 소오스 라인 형성 방법에 관한 것으로, 자기정렬 소오스 마스크 작업을 통해 소오스 라인 지역이 개방된 포토레지스트 패턴을 형성하고, 포토레지스트 패턴을 식각 마스크로 이용한 자기정렬 소오스 식각 공정을 진행하고, 포토레지스트 패턴을 경화시키고, 경화된 포토레지스트 패턴을 이온 주입 마스크로 이용한 셀 소오스 이온 주입 공정을 진행하여 플래쉬 소자의 소오스 라인을 형성하게 되는데, 자기정렬 소오스 식각 공정 및 경화 공정 등으로 포토레지스트 패턴은 일정 두께 식각 손실이 발생되어 그 전체 두께가 얇아지게 되며, 이로 인하여 셀 소오스 이온 주입 공정시 이온 주입 마스크로의 역할을 제대로 수행하지 못함에 따른 문제를 해결하기 위하여, 포토레지스트 도포 전에 이온 주입 장벽 역할을 하는 보호막을 형성하여 셀 소오스 이온 주입 공정을 원활히 수행할 수 있게 하는 플래쉬 소자의 소오스 라인 형성 방법에 관하여 기술된다.

대표도

도2

색인어

플래쉬 소자, 소오스 라인, 자기정렬 소오스 식각, 포토레지스트 손실

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 플래쉬 소자의 소오스 라인 형성 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 플래쉬 소자의 소오스 라인 형성 방법을 설명하기 위한 소자의 단면도.

(도면의 주요 부분에 대한 부호의 설명)

11, 21: 반도체 기판	12, 22: 터널 산화막
13, 23: 플로팅 게이트	14, 24: 유전체막
15, 25: 컨트롤 게이트	16, 26: 포토레지스트 패턴
17, 27: 소오스 라인	160, 260: 경화된 포토레지스트 패턴
200: 보호막	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 소자의 소오스 라인 형성 방법에 관한 것으로, 특히 자기정렬 소오스 식각 공정을 통해 소오스 라인을 형성할 때 사용되는 포토레지스트 패턴의 식각 손실을 보상하여 셀 소오스 이온 주입 공정을 원활히 수행할 수 있는 플래쉬 소자의 소오스 라인 형성 방법에 관한 것이다.

일반적으로, 플래쉬 소자는 소오스 라인(source line)을 형성하기 위해 각 단위 셀의 소오스를 연결하는 소오스 연결층을 형성시킨다. 소오스 연결층은 각 단위 셀의 소오스에 콘택을 형성하여 연결하는 금속 콘택(metal contact)방법이 있다. 이 방법은 콘택 마진(contact margin)을 고려해야 하기 때문에 고집적 소자에는 적절하지 않은 방법이다. 소자의 고집적화를 실현하기 위해 최근에는 자기정렬 소오스(self aligned source; SAS) 공정을 통해 불순물 확산층으로 된 소오스 라인(source line)을 많이 적용하고 있다.

도 1a 내지 도 1c는 종래 플래쉬 소자의 소오스 라인 형성 방법을 설명하기 위한 소자의 단면도이다.

도 1a를 참조하면, 반도체 기판(11)에 소자 분리막(도시 안됨)을 형성하여 필드 영역(field region)과 액티브 영역(active region)을 정의(define)하고, 액티브 영역의 반도체 기판(11) 상에 터널 산화막(12)을 형성한다. 터널 산화막(12) 상에 플로팅 게이트(13), 유전체막(14) 및 컨트롤 게이트(15)가 적층된 스택 게이트(stack gate) 구조를 형성한다. 소자의 고집적화에 따라 워드라인 저항을 감소시키기 위해 컨트롤 게이트(15)를 폴리실리콘층과 WSi_x , W , $CoSi_x$, $TiSi_x$ 등과 같은 금속계 물질층이 적층된 구조를 많이 적용하고 있다. 자기정렬 소오스 공정을 진행하기 위하여, 자기정렬 소오스 마스크 작업을 통해 소오스 라인 지역이 개방된 포토레지스트 패턴(16)을 스택 게이트 구조상에 형성한다. 포토레지스트 패턴(16)은 $0.07\mu m$ 이하의 중첩도 마진을 갖도록 형성해야 한다.

도 1b를 참조하면, 자기정렬 소오스 식각(SAS etch) 공정을 진행하여 소오스 라인 지역에 노출된 소자 분리막(도시 안됨)을 제거하여 소오스 라인 지역의 반도체 기판(11)이 모두 노출되게 하고, 자기정렬 소오스 식각을 완료한 후에 경화 공정을 진행한다. 자기정렬 소오스 식각 공정 및 경화 공정 동안 포토레지스트 패턴(16)은 일정 두께 식각 손실이 발생되어 두께가 얇아지고 경화된 포토레지스트 패턴(160)이 된다.

도 1c를 참조하면, 두께가 얇고 경화된 포토레지스트 패턴(160)을 이온 주입 마스크로 이용한 셀 소오스 이온 주입(cell source ion implantation) 공정을 진행하여 소오스 라인 지역의 반도체 기판(11)에 불순물 이온이 주입된 플래쉬 소자의 소오스 라인(17)을 형성한다.

상기한 종래 플래쉬 소자의 소오스 라인 형성 방법에서, 자기정렬 소오스 식각 공정 및 경화 공정 등으로 포토레지스트 패턴(16)은 일정 두께 식각 손실이 발생되어 그 전체 두께가 얇아지고 경화된 포토레지스트 패턴(160)이 되는데, 이러한 두께가 얇고 경화된 포토레지스트 패턴(160)은 셀 소오스 이온 주입 공정시 이온 주입 마스크로서의 역할을 제대로 수행하지 못함에 따른 문제가 발생된다. 즉, 셀 소오스 이온 주입시 소오스 라인 지역뿐만 아니라 원하지 않는 다른 지역에도 이온이 주입되어 소자의 신뢰성을 저하시키기 된다.

이러한 문제를 해결하기 위한 하나의 방안으로, 포토레지스트 패턴(16)의 식각 손실을 고려하여 $1\mu m$ 이상의 두께로 포토레지스트를 도포(coating) 한다. 포토레지스트의 두께를 두껍게 하므로써 셀 소오스 이온 주입 공정시 이온 주입 마스크로서의 역할을 제대로 수행할 수 있지만, 두께의 증가로 인한 중첩도 측정 패턴의 경사 발생으로 중첩도 마진이 저하되고, 도면에 도시 하지는 않았지만 주변회로 지역에 동시에 패터닝 시켜야하는 게이트 콘택 형성이 어려워진다.

다른 방안으로, 포토레지스트 패턴(16)을 식각 마스크로 한 자기정렬 소오스 식각 공정을 진행하고, 두께가 얇아진 포토레지스트 패턴(16)을 제거한다. 이후의 공정인 셀 소오스 이온 주입 공정을 진행하기 위하여 이온 주입 마스크로서의 역할을 수행할 수 있는 두께를 갖는 새로운 포토레지스트 패턴을 스택 게이트 구조상에 형성한다. 이러한 방안은 불필요한 새로운 공정 추가로 인한 시간의 소비와 생산비가 증가하는 원인이 될 수 있다는 점에서 바람직하지 않다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 자기정렬 소오스 식각 공정을 통해 소오스 라인을 형성할 때 사용되는 포토레지스트 패턴의 식각 손실을 보상하여 셀 소오스 이온 주입 공정을 원활히 수행할 수 있는 플래쉬 소자의 소오스 라인 형성 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 플래쉬 소자의 소오스 라인 형성 방법은 소자 분리막이 형성된 반도체 기판 상에 터널 산화막, 플로팅 게이트, 유전체막 및 컨트롤 게이트가 적층된 스택 게이트 구조를 형성하는 단계; 상기 스택 게이트 구조를 포함한 전체 구조상에 보호막을 형성하는 단계; 상기 보호막 상에 소오스 라인 지역이 개방된 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각 마스크로 한 식각 공정으로 상기 보호막을 패터닝 하는 단계; 상기 포토레지스트 패턴 및 상기 패터닝된 보호막을 식각 마스크로 한 자기정렬 소오스 식각 공정을 진행하여 소오스 라인 지역에 노출된 상기 소자 분리막을 제거하여 소오스 라인 지역의 상기 반도체 기판을 노출시키는 단계; 및 상기 포토레지스트 패턴을 경화시킨 후, 경화된 포토레지스트 패턴 및 상기 패터닝된 보호막을 이온 주

임 마스크로 이용한 셀 소오스 이온 주입 공정을 진행하여 소오스 라인 지역의 반도체 기판에 소오스 라인을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 본 발명을 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 플래쉬 소자의 소오스 라인 형성 방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 반도체 기판(21)에 소자 분리막(도시 안됨)을 형성하여 필드 영역(field region)과 액티브 영역(active region)을 정의(define)하고, 액티브 영역의 반도체 기판(21) 상에 터널 산화막(22)을 형성한다. 터널 산화막(22) 상에 플로팅 게이트(23), 유전체막(24) 및 컨트롤 게이트(25)가 적층된 스택 게이트(stack gate) 구조를 형성한다. 소자의 고집적화에 따라 워드라인 저항을 감소시키기 위해 컨트롤 게이트(15)를 폴리실리콘층과 WSi_x , W , $CoSi_x$, $TiSi_x$ 등과 같은 금속계 물질층이 적층된 구조를 많이 적용하고 있다. 자기정렬 소오스 공정을 진행하기 위하여, 스택 게이트 구조를 포함한 전체 구조상에 보호막(200)을 형성하고, 보호막(200) 상에 포토레지스트를 도포한 다음 자기정렬 소오스 마스크 작업을 통해 소오스 라인 지역이 개방된 포토레지스트 패턴(26)을 형성한다. 포토레지스트 패턴(16)은 $0.07\mu m$ 이하의 중첩도 마진을 갖도록 형성해야 한다. 포토레지스트 패턴(26)을 식각 마스크로 한 식각 공정으로 보호막(200)의 노출된 부분을 식각 하여 패터닝된 보호막(200)이 포토레지스트 패턴(26)과 중첩되도록 한다.

상기에서, 포토레지스트 패턴(26)은 $1\mu m$ 이하, 바람직하게는 0.4 내지 $1\mu m$ 의 두께로 포토레지스트를 도포하여 형성된다. 종래에는 이온 주입 마스크 역할을 위해 포토레지스트를 $1\mu m$ 이상 도포하였다. 보호막(200)은 산화물(oxide), 질소산화물(oxi-nitride), 질화물(nitride) 및 실리콘산화질소물(SiON) 중 어느 하나를 $1,000$ 내지 $10,000\text{\AA}$ 의 두께로 증착하여 형성한다. 보호막(200)의 증착 방식은 저압 플라즈마 방식이나 고압 플라즈마 방식을 적용한다.

도 2b를 참조하면, 자기정렬 소오스 식각(SAS etch) 공정을 진행하여 소오스 라인 지역에 노출된 소자 분리막(도시 안됨)을 제거하여 소오스 라인 지역의 반도체 기판(21)이 모두 노출되게 하고, 자기정렬 소오스 식각을 완료한 후에 경화 공정을 진행한다. 자기정렬 소오스 식각 공정 및 경화 공정 동안 포토레지스트 패턴(26)은 일정 두께 식각 손실이 발생되어 두께가 얇아지고 경화된 포토레지스트 패턴(260)이 된다. 여기서, 중요한 것은 경화된 포토레지스트 패턴(260)의 얇아진 두께가 패터닝된 보호막(200)에 의해 보상된다.

도 2c를 참조하면, 두께가 얇고 경화된 포토레지스트 패턴(260) 및 패터닝된 보호막(200)을 이온 주입 마스크로 이용한 셀 소오스 이온 주입(cell source ion implantation) 공정을 진행하여 소오스 라인 지역의 반도체 기판(21)에 불순물 이온이 주입된 플래쉬 소자의 소오스 라인(27)을 형성한다.

상기한 본 발명의 실시예에 따른 플래쉬 소자의 소오스 라인 형성 방법에서, 자기정렬 소오스 식각 공정 및 경화 공정 등으로 포토레지스트 패턴(26)은 종래와 마찬가지로 일정 두께 식각 손실이 발생되어 그 전체 두께가 얇아지고 경화된 포토레지스트 패턴(260)이 되는데, 이러한 두께가 얇고 경화된 포토레지스트 패턴(260)은 셀 소오스 이온 주입 공정시 이온 주입 마스크로의 역할을 제대로 수행하지 못함에 따른 문제를 본 발명에서는 포토레지스트 패턴(260) 아래에 형성된 보호막(200)이 이온 주입 장벽 역할을 하므로, 셀 소오스 이온 주입시 소오스 라인 지역뿐만 아니라 원하지 않는 다른 지역에 이온이 주입되는 것을 방지할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 자기정렬 소오스 공정에 필요한 포토레지스트 패턴의 아래에 이온 주입 장벽 역할을 하는 보호막을 형성함으로써, 다음과 같은 효과를 얻을 수 있다.

첫째, 자기정렬 소오스 식각 시에 포토레지스트 패턴이 식각 손실되더라도 원하는 지역에만 셀 소오스 이온 주입을 가능 한다.

둘째, $1\mu m$ 이하의 포토레지스트를 적용하여 소오스 라인 형성(source line formation)을 위한 포토 공정을 진행할 수 있기 때문에 노광 마진이 향상되며, 또한 포토레지스트 패턴의 패턴 형상(pattern profile) 및 균일도(uniformity)를 개선시킬 수 있다.

셋째, $1\mu m$ 이하의 얇은 포토레지스트를 적용할 수 있으므로 $0.07\mu m$ 이하의 중첩도 마진을 확보할 수 있다.

넷째, 주변회로 지역에 함께 패터닝시켜야 하는 게이트 콘택(gate contact) 형성이 가능해진다.

다섯째, 보호막이 이온 주입 장벽 역할을 하므로 중복된 포토 공정을 하지 않아도 되므로 공정 시간의 단축 및 생산비 절감의 효과가 있다.

(57) 청구의 범위

청구항 1

소자 분리막이 형성된 반도체 기판 상에 터널 산화막, 플로팅 게이트, 유전체막 및 컨트롤 게이트가 적층된 스택 게이트 구조를 형성하는 단계;

상기 스택 게이트 구조를 포함한 전체 구조상에 보호막을 형성하는 단계;

상기 보호막 상에 소오스 라인 지역이 개방된 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 한 식각 공정으로 상기 보호막을 패터닝하는 단계;

상기 포토레지스트 패턴 및 상기 패터닝된 보호막을 식각 마스크로 한 자기정렬 소오스 식각 공정을 진행하여 소오스 라인 지역에 노출된 상기 소자 분리막을 제거하여 소오스 라인 지역의 상기 반도체 기판을 노출시키는 단계; 및

상기 포토레지스트 패턴을 경화시킨 후, 경화된 포토레지스트 패턴 및 상기 패터닝된 보호막을 이온 주입 마스크로 이용한 셀 소오스 이온 주입 공정을 진행하여 소오스 라인 지역의 반도체 기판에 소오스 라인을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 플래쉬 소자의 소오스 라인 형성 방법.

청구항 2

제 1 항에 있어서,

상기 포토레지스트 패턴은 0.4 내지 $1\mu\text{m}$ 의 두께로 포토레지스트를 도포하여 형성하는 것을 특징으로 하는 플래쉬 소자의 소오스 라인 형성 방법.

청구항 3

제 1 항에 있어서,

상기 보호막은 산화물, 질소산화물, 질화물 및 실리콘산화질소물 중 어느 하나로 형성하는 것을 특징으로 하는 플래쉬 소자의 소오스 라인 형성 방법.

청구항 4

제 1 항에 있어서,]

상기 보호막은 1,000 내지 10,000Å의 두께로 형성하는 것을 특징으로 하는 플래쉬 소자의 소오스 라인 형성 방법.

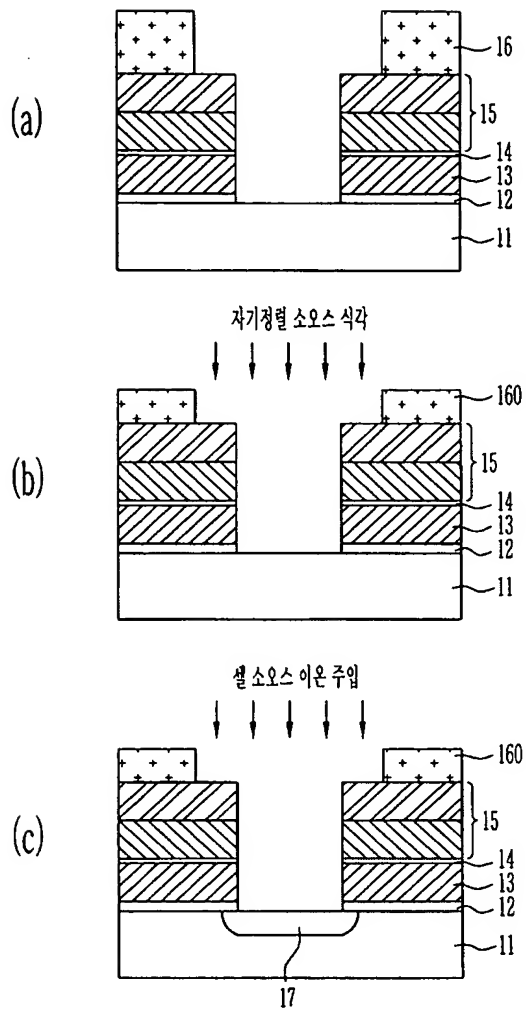
청구항 5

제 1 항에 있어서,

상기 보호막은 저압 플라즈마 방식이나 고압 플라즈마 방식을 적용하여 형성하는 것을 특징으로 하는 플래쉬 소자의 소오스 라인 형성 방법.

도면

도면1



도면2

